

一种深亚微米复杂芯片物理设计的时序收敛方法

郑天华, 梁利平

(中国科学院 微电子研究所, 北京 100029)

摘 要: 深亚微米工艺下超大规模芯片的物理设计面临很多挑战, 互连延时和串扰效应成为影响时序收敛的关键因素. 文中介绍了一种采用二次综合、区域约束和串扰预防等措施实现渐进式时序收敛的方法. 在 65 纳米工艺下, 通过 530 万门多核 DSP 芯片设计验证了该方法. 实例设计结果表明, 这种方法可以有效地解决互连延时和串扰问题, 实现复杂芯片的时序收敛.

关键词: 深亚微米; 时序收敛; 连线延时; 串扰效应

中图分类号: TN43

文献标识码: A

文章编号: 1000-7180(2013)11-0139-04

A Method of Timing Closure in Deep Submicron Physical Design of Complex Chip

ZHENG Tian-hua, LIANG Li-ping

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: The deep submicron technology presents lots of challenges to the physical design of VLSI, the key to timing closure is the interconnect delay and crosstalk. A method based on re-synthesis, region constraints and crosstalk prevent is presented to resolved the timing closure problem of physical design in the paper. The method is verified by design a 5.3 million gate multi-core DSP chip in 65nm technology. The design example demonstrate that the method efficiently solves the interconnect delay and crosstalk, and achieves timing closure.

Key words: deep submicron; timing closure; interconnect delay; crosstalk

1 引言

随着集成电路设计技术和工艺技术的高速发展, 深亚微米工艺下大规模复杂芯片设计的后端时序收敛成为最大问题. 在传统 ASIC 后端设计中, 绝大多数的延迟来自标准单元, 是影响时序收敛的主要因素. 但是随着工艺不断发展进入深亚微米, 连线延时占总延时的比值越来越大. 同时, 晶体管特征尺寸的缩小, 工作频率大幅提高, 由连线间耦合电容引起的串扰越来越严重, 两者成为影响时序收敛的关键因素.

本文从工程实践的角度出发, 以实验室多核 DSP 的后端设计为实例, 在层次化设计基础上提出一些有效的时序收敛方法, 并结合这些方法给出相应的设计流程, 最终达到时序收敛的目的.

2 时序收敛分析

2.1 层次化设计

随着设计越来越复杂, 单元越来越多, 考虑到 EDA 工具和服务器的承载能力, 层次化设计成为大规模复杂芯片后端设计的主流的方法, 这种分而治之的设计手段可以粗略的分为三步: 设计规划分割、子模块设计和芯片整合. 其中设计分割是一项复杂的系统工程, 直接影响芯片的各项指标, 如时序、面积等, 甚至直接决定了芯片的可实现性. 该阶段是一个典型的“自上而下”的设计方法, 不仅需要从芯片系统架构出发, 根据逻辑功能将设计划分为若干子模块, 同时需要兼顾后端物理设计, 根据逻辑连接关系, 进行顶层物理布局, 合理的摆放子模块和宏单元, 并通过位置关系确定子模块的引脚位置, 以满足

逻辑连接和布线要求,保证整体设计的可实现性和各项性能指标。

子模块的实现和芯片整合过程采用的是“自底向上”的实现方法,对已划分出来的子模块逐个进行物理实现,并在整合阶段将所有模块拼接起来,组合成完整设计。

2.2 渐进式的时序收敛方法

基于连线和串扰的路径延时表达式:

$$T_{\text{path}} = \sum_{\text{stage}} (T_g + T_w + T_x) \quad (1)$$

其中 T_g 、 T_w 和 T_x 分别代表逻辑门延时、连线延时和串扰引起的延时。

在深亚微米工艺下,晶体管尺寸减小,单元密度增加,连线延迟和串扰引起的延时在式(1)中所占的比重不断增加,逐渐成为影响设计的重要因素。单一的层次化设计方法已经无法保证超大规模复杂芯片后端物理设计的时序收敛性,需要在此基础上引入渐进式时序收敛方法,在设计中逐步优化时序,确保每一阶段的时序收敛,缩短迭代周期。

2.2.1 二次综合与区域约束

采用传统的设计方法,直接使用 RTL 逻辑综合产生的网表进行后端物理设计,通常会出现逻辑综合时序与后端物理综合时序相差较大的问题,甚至时序无法收敛。即使采用层次化设计,减小 EDA 工具的运算量,提高工具优化能力,也无法改善时序。分析逻辑综合和物理综合的时序报告,不难发现,由于逻辑综合对连线延时估计不足,致使物理综合时实际走线距离太长,连线延时增加使时序恶化。由此可见,实现时序收敛,必须引入准确的连线延时计算模型。

首先,连线是在实际的后端版图设计阶段完成的。在前期的逻辑综合阶段,连线延迟只是粗略的预估计值,是在采用线负载模型的基础上通过估计连线长度计算延迟,精度会随着芯片面积和设计复杂程度的增加而降低。在此基础上做层次化设计的设计规划分割和子模块实现得到的时序是不可靠的,仍然无法满足整个芯片的设计要求。因此,传统的基于线负载模型的静态逻辑综合方法是不可取的,需要采用静态逻辑综合和物理综合相结合的方法,准确地计算连线延时,改善时序特性。

其次,对于处理高速运算的复杂芯片,如 DSP,数据通路是整个芯片的核心部件,通路中各个运算部件的局部性强,时序要求高,各运算单元间的数据交互性强。针对此类设计,在层次化设计的基础上,

根据设计的逻辑功能和连接关系采用区域约束式设计方法,保证核心单元的局部性,减小区域内连线和全局连线的延时,改善时序。方法如下,见图 1 所示。

①根据芯片的数据流向和模块间的连接关系,对子模块和 IP 单元布局;

②将没有单独实现的模块按照功能和逻辑连接进行层次重组,并约束在版图的特定区域内;

③提取子模块、IP 单元位置信息和区域约束信息的参数文件,并将该文件与已提取的子模块时序和物理模型导入综合工具,在充分考虑后端信息的情况下,做逻辑和时序的优化综合;

④使用优化后的网表文件和提取的物理信息做物理综合的 Placement。

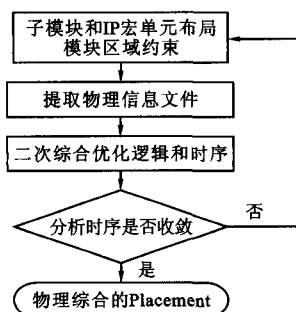


图1 二次综合和区域约束流程

优化综合时已经考虑了物理位置和约束信息,连线延时模型比较准确,优化后的结果与实际的物理综合 Placement 后的结果相差很小,若时序不收敛,返回步骤①重新布局,然后重复步骤②、③。

2.2.2 串扰预防与修复

工艺尺寸的下降,使连线的间距减小,线间耦合电容增大。65nm 工艺中,耦合电容已经占整个线电容的 40%~50%,由式(1)得到,耦合电容引起的串扰会增大电路的延时。减小局部走线密度、缩短走线长度和限制扇出增强驱动等措施是减小串扰的主要手段。

串扰与具体的走线相关,所以准确数据只有完成实际布线后才能得到。但是在设计初期必须对串扰问题加以重视,采取相应的预防措施,以保证布线阶段能够修复由串扰引起的时序问题。方法如下,见图 2 所示。

①减小局部区域的单元密度,降低走线密度,优化走线拥挤(congestion);

②在物理综合的 Placement 阶段限制设计中的最大负载、扇出和最长连线,禁用弱驱动单元;

③时钟网络与时序收敛直接相关,必须增强时钟网络的抗干扰能力,选用时序特性好的时钟 Buff-

er,采用 2 倍线宽和线间距,并优先走线;

- ④设置具体的串扰约束参数;
- ⑤选择 Crosstalk driven 的布线策略.

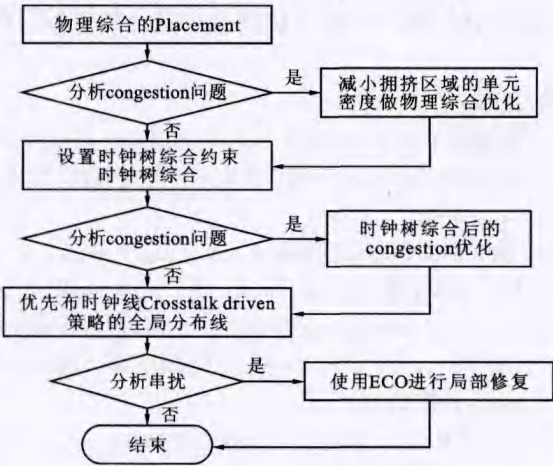


图 2 串扰的预防和修复流程

在局部区域出现单元密度过高,布线拥挤将带来严重的串扰问题,所以在布线之前每一个阶段,需要不断修复 congestion 问题,然后再进行下一阶段.由于前期采取了各种 预防措施,所以布线后只会出现少量的串扰问题.可以采用 ECO 方法,通过更改部分单元的驱动大小和手动改线修复串扰.

3 设计实例和实验结果

3.1 芯片介绍

IME-Diamond DSP 是一款 32 位 4 核嵌入式定点处理器,具有 CPU 和 DSP 功能融合型架构,其中 CPU 支持嵌入式操作系统和各种通信及协议处理控制,DSP 支持无线宽带通信和多媒体等高计算密集度的数字信号处理.设计采用中芯国际(SMIC)提供的 65nm Low Leakage 8 层金属工艺.主要面向:

- ①2G/3G/4G 无线通信以及其它通信广播与导航的软基带信号处理、各种协议处理和解算;
- ②各种图像处理以及 MPEG2/H. 264/H. 265 音视频软编解码;
- ③其他嵌入式 DSP 应用.

3.2 实验结果

3.2.1 物理综合 Placement 阶段的结果对比

芯片从逻辑功能上可以划分为单核、包含 64KB 高速暂存(SPM)的 DMMU 模块、高速多通道 DMA 交叉开关和外设管理模块 BIU.其中 DM-MU 模块由 4 部分组成,每部分具有 16KB 的 SPM 和选择逻辑,分别于四个单核对应;DMA 作为数据通道,与四核之间的数据交互频繁,连接关系复杂,

且自身局部性强;BIU 是外设管理模块,主要与外部 IO 直接相关,同时还有部分单元,如 ahb2apb,需要与四核同时进行数据通信.

根据以上分析的功能和连接关系,对各模块做区域约束,二次综合优化后做物理综合 Placement,得到的版图对比如图 3 所示.

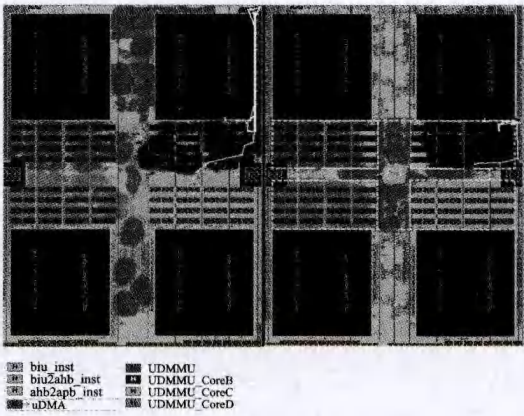


图 3 芯片版图对比

图 3 中的左图是使用普通方法得到的布局.由于连线延时模型的不准确,综合时对连线延时估计不足,逻辑优化有限,Placement 阶段模块摆放分散,其中 DMMU 的部分单元被放置在了四周的布线通道内.从图中可以看到,最坏路径的连线太长,工具会插入大量的缓冲 Buffer 来提高驱动,从而引入额外的逻辑延时和连线延时.同时,DMA 等模块分散放置也会出现路径过长的问題,增加了时序违例数量,导致设计时序不收敛,该阶段出现不可控的局面.右图是采用二次综合和区域约束得到的版图,准确的物理信息使综合工具根据较为真实的连线模型做逻辑优化,同时区域约束使各模块放置比较紧凑,内部和全局连线短,连线延时小,最大时序违例和违例数量控制在较小范围内,时序可以收敛.两者的时序结果对比如表 1 所示.

表 1 Placement 后的时序结果对比

时序分析结果	Setup Case		
	WNS	TNS	NO. Viol
二次综合和区域约束方法	-0.31	-6.37	91
普通方法	-1.99	-15665.36	11814

3.2.2 布线阶段的结果对比

为了预防串扰带来的时序问题,规划电源网络时,使用 M2 层金属构建标准单元供电网络,同时采用窄而密的策略,减小电源网络对布线资源的占用;

Placement 阶段限制使用部分驱动能力弱的标准单元,并分析 congestion 问题,采用局部多次迭代的优化策略,消除 congestion. 布线阶段使用时钟连线优先的方法,并且设置串扰约束参数 Xtalk prevention threshold 为 0.3. 通过以上的预防措施,可以在布线后得到收敛的时序结果. 实验对比结果如表 2 所示.

表 2 布线后的时序结果对比

时序分析结果	Setup Case			Hold Case		
	WNS	TNS	NO. Viol	WNS	TNS	NO. Viol
串扰预防	-0.37	-7.36	92	-0.02	-0.16	8
普通方法	-1.01	-464.44	1032	-0.05	-19.40	121

通过采用二次综合、区域约束和串扰预防等措施可以保证复杂设计在 CMOS 深亚微米级制造工艺下实现渐进式的时序收敛. 在 65nm 工艺下,采用该方法完成了 530 万门的多核 DSP 芯片设计,保证了设计顺利交付 MPW 流片.

4 结束语

在芯片的设计中,后端物理设计作为重要环节已经形成了相对成熟的流程. 然而随着工艺的发展和设计规模的增大,后端设计变得越发复杂. 如何在有限的时间内完成所有设计流程,且保证时序收敛满足设计性能要求成为巨大的挑战. 所以针对不同的设计要求,需要采用灵活的设计方法来完善流程,

提高设计效率. 文中通过多核 DSP 芯片的后端设计,在层次化设计的基础上引入渐进式的收敛方法,通过采用二次综合、区域约束、串扰预防等措施实现阶段性的时序收敛,最终达到芯片设计收敛的目的.

参考文献:

[1] 谈晓婷,付宇卓,谢凯年. SoC 静态时序分析中时序约束策略的研究及实例[J]. 微电子学与计算机,2006,23(4):66-69.

[2] Shashank Prasad, Dongzi Liu, Oleg Levitsky, et al. Post assembly timing closure for multi million gate chips[C]//Proceedings of the 23rd IEEE International Conference on VLSI Design (VLSID'10), Bangalore, India; IEEE,2010.

[3] Jan M Rabaey. 数字集成电路设计透视[M]. 北京:清华大学出版社,2004.

[4] Synopsys Inc. IC compiler implementation user guide Version D-2010.03-SP2[R]. Synopsys Inc, 2010.

[5] Synopsys Inc. DC compiler user guide Version D-2010.03-SP2[R]. Synopsys Inc,2012.

作者简介:

郑天华 男,(1987-),硕士研究生. 研究方向为集成电路物理设计.

梁利平 男,(1969-),研究员. 研究方向为高性能多核 DSP 及 SOC 设计.

(上接第 138 页)

[5] 孙凌逸,黄先祥,蔡伟,等. 基于神经网络的无线传感器网络数据融合算法[J]. 传感技术学报,2011,24(1):122-127.

[6] 廖惜春,丘敏,麦汉荣. 基于参数估计的数据融合算法研究[J]. 传感器与微系统,2006,25(10):70-73.

作者简介:

陶志勇 男,(1978-),博士研究生,副教授. 研究方向为多媒体通信.

王雪 女,(1988-),硕士研究生. 研究方向为无线传感器网络.